

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.

#3

Docket No.: 57454-082

PATENT

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of

Kozo ISHIDA

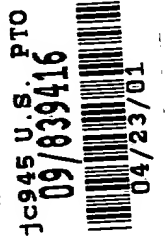
Serial No.:

Filed: April 23, 2001

For: SEMICONDUCTOR DEVICE HAVING A TEST MODE

Group Art Unit:

Examiner:



**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Commissioner for Patents  
Washington, DC 20231

Sir:


In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2000-335394,  
filed November 2, 2000

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

  
Stephen A. Becker  
Registration No. 26,527

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 SAB:klm  
**Date: April 23, 2001**  
Facsimile: (202) 756-8087

日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT

57454-082  
APRIL 23, 2001  
ISHIDA

#3  
McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.



出 願 年 月 日

Date of Application:

2000年11月 2日

出 願 番 号

Application Number:

特願2000-335394

出 願 人

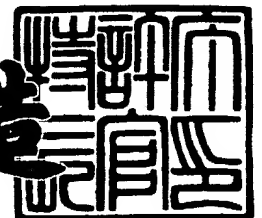
Applicant (s):

三菱電機株式会社

2000年12月 1日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



出証番号 出証特2000-3098464

【書類名】 特許願

【整理番号】 526012JP01

【提出日】 平成12年11月 2日

【あて先】 特許庁長官殿

【国際特許分類】 G01R 31/28

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

【氏名】 石田 耕三

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100091409

【弁理士】

【氏名又は名称】 伊藤 英彦

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100096792

【弁理士】

【氏名又は名称】 森下 八郎

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 テストモードを有する半導体装置であって、  
前記テストモード時に外部からテスト信号を入力するための外部入力端子、  
前記外部入力端子を介して入力されたテスト信号に従って前記半導体装置の複数の内部信号のうちのいずれかの内部信号を選択する選択回路、  
それぞれ前記複数の内部信号に対応して設けられ、各々が、対応の内部信号をその入力ノードに受け、前記選択回路によって対応の内部信号が選択されたことに応じて対応の内部信号を出力ノードに与える複数のゲート回路、  
前記複数のゲート回路の出力ノードに接続された信号伝達線、および  
前記信号伝達線に与えられた内部信号を外部に出力するための外部出力端子を備える、半導体装置。

【請求項 2】 各ゲート回路は、前記選択回路によって対応の内部信号が選択されている場合は、前記出力ノードを対応の内部信号の論理レベルと同じ論理レベルにし、対応の内部信号が選択されていない場合は、前記出力ノードをハイインピーダンス状態にするトライステートバッファを含む、請求項 1 に記載の半導体装置。

【請求項 3】 前記複数のゲート回路は、予め複数のグループに分割され、  
前記選択回路は、  
前記テスト信号に含まれるグループ指定信号に従って前記複数のグループのうちのいずれかのグループを指定する指定回路、および  
各グループに対応して設けられ、前記指定回路によって対応のグループが指定されたことに応じて前記テスト信号に含まれる複数ビットのデータ信号を取込み、取込んだ複数ビットのデータ信号をそれぞれ対応のグループに属する複数のゲート回路の制御ノードに与えるシフトレジスタを含み、  
各ゲート回路は、その制御ノードに与えられたデータ信号が活性化レベルを有する場合は対応の内部信号を前記出力ノードに与え、前記データ信号が非活性化レベルを有する場合は対応の内部信号を前記出力ノードに与えない、請求項 1 ま

たは請求項 2 に記載の半導体装置。

【請求項 4】 前記信号伝達線および前記外部出力端子は、前記ゲート回路のグループ数と同じ数だけ設けられ、

複数の前記信号伝達線はそれぞれ前記複数のグループに対応して設けられ、各信号伝達線は対応のグループに属する各ゲート回路の出力ノードに接続され、

複数の前記外部出力端子はそれぞれ前記複数の信号伝達線に対応して設けられ、各外部出力端子は対応の信号伝達線に与えられた内部信号を外部に出力するために設けられ、

前記指定回路は、前記グループ指定信号に従って前記複数のグループのうちのいずれか 1 または 2 以上のグループを指定する、請求項 3 に記載の半導体装置。

【請求項 5】 テストモードを有する半導体装置であって、

前記テストモード時に外部からテスト信号を入力するための外部入力端子、

前記外部入力端子を介して入力されたテスト信号に従って前記半導体装置の複数の第 1 内部信号のうちのいずれか 1 または 2 以上の第 1 内部信号を選択する第 1 選択回路、

前記テスト信号に従って、それぞれ前記複数の第 1 内部信号に対応する複数の第 1 データ信号を生成する信号発生回路、

それぞれ前記複数の第 1 内部信号に対応して設けられ、各々が、対応の第 1 内部信号をその第 1 入力ノードに受けるとともに対応の第 1 データ信号をその第 2 入力ノードに受け、前記第 1 選択回路によって対応の第 1 内部信号が選択されている場合は対応の第 1 データ信号を出力ノードに与え、対応の第 1 内部信号が選択されていない場合は対応の第 1 内部信号を前記出力ノードに与える複数の第 1 ゲート回路、および

前記複数の第 1 ゲート回路の出力信号に基づいて所定の動作を行なう内部回路を備える、半導体装置。

【請求項 6】 前記複数の第 1 ゲート回路は、予め複数の第 1 グループに分割され、

前記第 1 選択回路は、

前記テスト信号に含まれる第 1 グループ指定信号に従って前記複数の第 1 グル

ープのうちのいずれか 1 または 2 以上の第 1 グループを指定する第 1 指定回路、および

各第 1 グループに対応して設けられ、対応の第 1 グループが前記第 1 指定回路によって指定されたことに応じて前記テスト信号に含まれる複数ビットの第 2 データ信号を取込み、取込んだ複数ビットの第 2 データ信号をそれぞれ対応の第 1 グループに属する複数の第 1 ゲート回路の制御ノードに与える第 1 シフトレジスタを含み、

前記信号発生回路は、各第 1 グループに対応して設けられ、対応の第 1 グループが前記第 1 指定回路によって指定されたことに応じて前記テスト信号に含まれる複数ビットの第 1 データ信号を取込み、取込んだ複数ビットの第 1 データ信号をそれぞれ対応の第 1 グループに属する複数の第 1 ゲート回路の第 2 入力ノードに与える第 2 シフトレジスタを含み、

各第 1 ゲート回路は、その制御ノードに与えられた第 2 データ信号が第 1 論理レベルを有する場合は対応の第 1 データ信号を前記出力ノードに与え、前記第 2 データ信号が第 2 論理レベルを有する場合は対応の内部信号を前記出力ノードに与える、請求項 5 に記載の半導体装置。

【請求項 7】 さらに、前記テスト信号に従って前記内部回路で生成された複数の第 2 内部信号のうちのいずれかの第 2 内部信号を選択する第 2 選択回路、

それぞれ前記複数の第 2 内部信号に対応して設けられ、各々が、対応の第 2 内部信号をその入力ノードに受け、前記第 2 選択回路によって対応の第 2 内部信号が選択されたことに応じて対応の第 2 内部信号を出力ノードに与える複数の第 2 ゲート回路、

前記複数の第 2 ゲート回路の出力ノードに接続された信号伝達線、および

前記信号伝達線に与えられた第 2 内部信号を外部に出力するための外部出力端子を備える、請求項 5 または請求項 6 に記載の半導体装置。

【請求項 8】 各第 2 ゲート回路は、前記第 2 選択回路によって対応の第 2 内部信号が選択されている場合は、前記出力ノードを対応の第 2 内部信号の論理レベルと同じ論理レベルにし、対応の第 2 内部信号が選択されていない場合は、前記出力ノードをハイインピーダンス状態にするトライステートバッファを含む



、請求項 7 に記載の半導体装置。

【請求項 9】 前記複数の第 2 ゲート回路は、予め複数の第 2 グループに分割され、

前記第 2 選択回路は、

前記テスト信号に含まれる第 2 グループ指定信号に従って前記複数の第 2 グループのうちのいずれかの第 2 グループを指定する第 2 指定回路、および

各第 2 グループに対応して設けられ、前記第 2 指定回路によって対応の第 2 グループが指定されたことに応じて前記テスト信号に含まれる複数ビットの第 3 データ信号を取込み、取込んだ複数ビットの第 3 データ信号をそれぞれ対応の第 2 グループに属する複数の第 2 ゲート回路の制御ノードに与える第 3 シフトレジスタを含み、

各第 3 ゲート回路は、その制御ノードに与えられた第 3 データ信号が活性化レベルを有する場合は対応の第 2 内部信号を前記出力ノードに与え、前記第 3 データ信号が非活性化レベルを有する場合は対応の第 2 内部信号を前記出力ノードに与えない、請求項 7 または請求項 8 に記載の半導体装置。

【請求項 10】 前記信号伝達線および前記外部出力端子は、前記第 2 ゲート回路のグループ数と同じ数だけ設けられ、

複数の前記信号伝達線はそれぞれ前記複数の第 2 グループに対応して設けられ、各信号伝達線は対応の第 2 グループに属する各第 2 ゲート回路の出力ノードに接続され、

複数の前記外部出力端子はそれぞれ前記複数の信号伝達線に対応して設けられ、各外部出力端子は対応の信号伝達線に与えられた第 2 内部信号を外部に出力するために設けられ、

前記第 2 指定回路は、前記第 2 グループ指定信号に従って前記複数の第 2 グループのうちのいずれか 1 または 2 以上の第 2 グループを指定する、請求項 9 に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は半導体装置に関し、特に、テストモードを有する半導体装置に関する。

#### 【0002】

##### 【従来の技術】

従来より半導体集積回路装置では、製造後において、外部入力ピンに信号を与えて外部出力ピンに現われる信号値を観測することにより、半導体集積回路装置が設計どおり正常に動作するか否かのテストが行なわれている。

#### 【0003】

しかし、このテスト方法では、半導体集積回路装置内部の信号を直接観測することができなかつたので、半導体集積回路装置内部の動作を詳細に確認することはできなかつた。また、半導体集積回路装置内部に故障があつた場合でも、装置内のどの回路ブロックが故障しているのかを解析することは困難であつた。一方、半導体集積回路装置内部の信号を観測するための外部出力ピンを多数設ければ多数の内部信号を観測することはできるが、半導体集積回路装置が高価格になってしまう。そこで、1つの外部出力ピンで多数の内部信号を観測することが可能な半導体集積回路装置が提案された。

#### 【0004】

図8は、そのような半導体集積回路装置の要部を示す回路ブロック図である。図8において、この半導体集積回路装置は、複数の回路ブロック(CB)51～53、…と、複数のフリップフロップ54～56、…とを備える。回路ブロック51～53、…の各々は、前段の回路ブロックなどからの信号に応答して所定の動作を行なう。フリップフロップ54～56、…の各々は、クロック信号CLKに同期して動作し、前段の回路ブロックなどからの信号を後段の回路ブロックに伝達させる。

#### 【0005】

また、この半導体集積回路装置は、さらに、外部入力ピン61、nビット(ただし、nは2以上の整数である)のシフトレジスタ62、セレクタ63、バッファ64および外部出力ピン65を備える。外部入力ピン61には、クロック信号CLKに同期して、nビットのシリアルデータを含むシフトレジスタ設定パター

ンD I が入力される。シフトレジスタ 6 2 は、クロック信号 C L K に同期して、シフトレジスタ設定パターンD I を取込み、 $n$  ビットのシリアルデータを $n$  ビットの平行データに変換する。

【0 0 0 6】

セクタ 6 3 は、 $n$  ビットの平行データに従って、 $2^n$  ビットの内部信号のうちのいずれかの内部信号を選択し、選択した内部信号の信号値（論理レベル）をバッファ 6 4 を介して外部出力ピン 6 5 に与える。したがって、この半導体集積回路装置では、1 つの外部出力ピン 6 5 で $2^n$  ビットの内部信号を選択的に観測することができる。

【0 0 0 7】

【発明が解決しようとする課題】

しかし、この半導体集積回路装置では、観測信号数 $2^n$ が大きくなると、セクタ 6 3 が大型化するとともにセクタ 6 3 への入力信号線が集中配線になり、回路面積が大幅に大きくなるという問題があった。

【0 0 0 8】

また、外部入力ピン 6 1 から所望の回路ブロックに所望の信号を与えてその回路ブロックをテストすることはできなかった。

【0 0 0 9】

それゆえに、この発明の一の目的は、回路面積が小さな半導体装置を提供することである。

【0 0 1 0】

また、この発明の他の目的は、内部回路に所望のデータ信号を与えてテストすることが可能な半導体装置を提供することである。

【0 0 1 1】

【課題を解決するための手段】

この発明に係る半導体装置は、テストモードを有する半導体装置であって、テストモード時に外部からテスト信号を入力するための外部入力端子と、外部入力端子を介して入力されたテスト信号に従って半導体装置の複数の内部信号のうちのいずれかの内部信号を選択する選択回路と、それぞれ複数の内部信号に対応し

て設けられ、各々が、対応の内部信号をその入力ノードに受け、選択回路によって対応の内部信号が選択されたことに応じて対応の内部信号を出力ノードに与える複数のゲート回路と、複数のゲート回路の出力ノードに接続された信号伝達線と、信号伝達線に与えられた内部信号を外部に出力するための外部出力端子とを備えたものである。

#### 【0012】

好ましくは、各ゲート回路は、選択回路によって対応の内部信号が選択されている場合は、出力ノードを対応の内部信号の論理レベルと同じ論理レベルにし、対応の内部信号が選択されていない場合は、出力ノードをハイインピーダンス状態にするトライステートバッファを含む。

#### 【0013】

また好ましくは、複数のゲート回路は、予め複数のグループに分割されている。選択回路は、テスト信号に含まれるグループ指定信号に従って複数のグループのうちのいずれかのグループを指定する指定回路と、各グループに対応して設けられ、指定回路によって対応のグループが指定されたことに応じてテスト信号に含まれる複数ビットのデータ信号を取込み、取込んだ複数ビットのデータ信号をそれぞれ対応のグループに属する複数のゲート回路の制御ノードに与えるシフトレジスタとを含む。各ゲート回路は、その制御ノードに与えられたデータ信号が活性化レベルを有する場合は対応の内部信号を出力ノードに与え、データ信号が非活性化レベルを有する場合は対応の内部信号を出力ノードに与えない。

#### 【0014】

また好ましくは、信号伝達線および外部出力端子は、ゲート回路のグループ数と同じ数だけ設けられる。複数の信号伝達線はそれぞれ複数のグループに対応して設けられ、各信号伝達線は対応のグループに属する各ゲート回路の出力ノードに接続される。複数の外部出力端子はそれぞれ複数の信号伝達線に対応して設けられ、各外部出力端子は対応の信号伝達線に与えられた内部信号を外部に出力するために設けられる。指定回路は、グループ指定信号に従って複数のグループのうちのいずれか1または2以上のグループを指定する。

#### 【0015】

また、この発明に係る他の半導体装置は、テストモードを有する半導体装置であって、テストモード時に外部からテスト信号を入力するための外部入力端子と、外部入力端子を介して入力されたテスト信号に従って半導体装置の複数の第1内部信号のうちのいずれか1または2以上の第1内部信号を選択する第1選択回路と、テスト信号に従って、それぞれ複数の第1内部信号に対応する複数の第1データ信号を生成する信号発生回路と、それぞれ複数の第1内部信号に対応して設けられ、各々が、対応の第1内部信号をその第1入力ノードに受けるとともに対応の第1データ信号をその第2入力ノードに受け、第1選択回路によって対応の第1内部信号が選択されている場合は対応の第1データ信号を出力ノードに与え、対応の第1内部信号が選択されていない場合は対応の第1内部信号を出力ノードに与える複数の第1ゲート回路と、複数の第1ゲート回路の出力信号に基づいて所定の動作を行なう内部回路とを備えたものである。

## 【0016】

好ましくは、複数の第1ゲート回路は、予め複数の第1グループに分割される。第1選択回路は、テスト信号に含まれる第1グループ指定信号に従って複数の第1グループのうちのいずれか1または2以上の第1グループを指定する第1指定回路と、各第1グループに対応して設けられ、対応の第1グループが第1指定回路によって指定されたことに応じてテスト信号に含まれる複数ビットの第2データ信号を取込み、取込んだ複数ビットの第2データ信号をそれぞれ対応の第1グループに属する複数の第1ゲート回路の制御ノードに与える第1シフトレジスタとを含む。信号発生回路は、各第1グループに対応して設けられ、対応の第1グループが第1指定回路によって指定されたことに応じてテスト信号に含まれる複数ビットの第1データ信号を取込み、取込んだ複数ビットの第1データ信号をそれぞれ対応の第1グループに属する複数の第1ゲート回路の第2入力ノードに与える第2シフトレジスタを含む。各第1ゲート回路は、その制御ノードに与えられた第2データ信号が第1論理レベルを有する場合は対応の第1データ信号を出力ノードに与え、第2データ信号が第2論理レベルを有する場合は対応の内部信号を出力ノードに与える。

## 【0017】

また好ましくは、さらに、テスト信号に従って内部回路で生成された複数の第2内部信号のうちのいずれかの第2内部信号を選択する第2選択回路と、それぞれ複数の第2内部信号に対応して設けられ、各々が、対応の第2内部信号をその入力ノードに受け、第2選択回路によって対応の第2内部信号が選択されたことに応じて対応の第2内部信号を出力ノードに与える複数の第2ゲート回路と、複数の第2ゲート回路の出力ノードに接続された信号伝達線と、信号伝達線に与えられた第2内部信号を外部に出力するための外部出力端子とが設けられる。

【0018】

また好ましくは、各第2ゲート回路は、第2選択回路によって対応の第2内部信号が選択されている場合は、出力ノードを対応の第2内部信号の論理レベルと同じ論理レベルにし、対応の第2内部信号が選択されていない場合は、出力ノードをハイインピーダンス状態にするトリステートバッファを含む。

【0019】

また好ましくは、複数の第2ゲート回路は、予め複数の第2グループに分割されている。第2選択回路は、テスト信号に含まれる第2グループ指定信号に従って複数の第2グループのうちのいずれかの第2グループを指定する第2指定回路と、各第2グループに対応して設けられ、第2指定回路によって対応の第2グループが指定されたことに応じてテスト信号に含まれる複数ビットの第3データ信号を取込み、取込んだ複数ビットの第3データ信号をそれぞれ対応の第2グループに属する複数の第2ゲート回路の制御ノードに与える第3シフトレジスタとを含む。各第3ゲート回路は、その制御ノードに与えられた第3データ信号が活性化レベルを有する場合は対応の第2内部信号を出力ノードに与え、第3データ信号が非活性化レベルを有する場合は対応の第2内部信号を出力ノードに与えない。

【0020】

また好ましくは、信号伝達線および外部出力端子は、第2ゲート回路のグループ数と同じ数だけ設けられる。複数の信号伝達線はそれぞれ複数の第2グループに対応して設けられ、各信号伝達線は対応の第2グループに属する各第2ゲート回路の出力ノードに接続される。複数の外部出力端子はそれぞれ複数の信号伝達

線に対応して設けられ、各外部出力端子は対応の信号伝達線に与えられた第2内部信号を外部に出力するために設けられる。第2指定回路は、第2グループ指定信号に従って複数の第2グループのうちのいずれか1または2以上の第2グループを指定する。

【0021】

【発明の実施の形態】

図1は、この発明の一実施の形態による半導体集積回路装置の要部を示す回路ブロック図である。

【0022】

図1において、この半導体集積回路装置は、複数の回路ブロック1～5、…と、複数のフリップフロップ6～10、…とを備える。回路ブロック1～5、…の各々は、前段の回路ブロックなどからの信号に応答して所定の動作を行なう。フリップフロップ6～10、…の各々は、クロック信号CLKに同期して動作し、前段の回路ブロックなどからの信号を後段の回路ブロックに伝達させる。

【0023】

また、この半導体集積回路装置は、外部入力ピン11、ヘッダ検出回路12およびシフトレジスタ指定デコーダ回路13を備える。外部入力ピン11には、クロック信号CLKに同期してシフトレジスタ設定パターンDIが入力される。ヘッダ検出回路12は、クロック信号CLKに同期して動作し、外部入力ピン11を介して入力されたシフトレジスタ設定パターンDIの先頭部が予め定められたヘッダパターンと一致するか否かを判定し、一致したと判定した場合はヘッダパターンに続くシフトレジスタ指定パターンおよびシフトレジスタ値設定パターンをシフトレジスタ指定デコーダ回路13に伝達させる。

【0024】

シフトレジスタ指定デコーダ回路13は、クロック信号CLKに同期して動作し、ヘッダ検出回路12を介して入力されたシフトレジスタ指定パターンに従って、複数のシフトレジスタ活性化信号SE1～SEm（ただし、mは自然数である）のうちのいずれかの信号を活性化レベルの「H」レベルにする。また、シフトレジスタ指定デコーダ回路13は、シフトレジスタ値設定パターンに従って、

「H」レベルにされたシフトレジスタ活性化信号に対応する後述のシフトレジスタにシフトレジスタ値設定信号SVを与える。

#### 【0025】

また、この半導体集積回路装置は、信号値設定用シフトレジスタ群14および複数のセクタ15. 1, 15. 2, ...を備える。信号値設定用シフトレジスタ群14は、図2に示すように、信号値格納シフトレジスタ30. 1, 30. 3, ..., 30. i (ただし、iは3以上でmよりも小さな奇数である) および設定信号指定シフトレジスタ30. 2, 30. 4, ..., 30. i+1を含む。

#### 【0026】

信号値格納シフトレジスタ30. 1は、フリップフロップ31. 1~31. j およびANDゲート32. 1~32. j (ただし、jは自然数である)を含む。初段のフリップフロップ31. 1には、jビットのシリアルデータを含むシフトレジスタ値設定信号SVが入力される。フリップフロップ31. 1~31. j-1の出力信号 $\phi 1. 1 \sim \phi 1. j-1$ は、それぞれ後段のフリップフロップ31. 2~31. jに入力される。ANDゲート32. 1~32. jはともにクロック信号CLKおよびシフトレジスタ活性化信号SE1を受け、各々の出力信号はそれぞれフリップフロップ31. 1~31. jのクロック入力端子Cに入力される。フリップフロップ31. 1~31. jの出力信号 $\phi 1. 1 \sim \phi 1. j$ は、それぞれセクタ15. 1~15. jの一方入力ノードに入力される。他の信号値格納シフトレジスタ30. 3, ..., 30. iも信号値格納シフトレジスタ30. 1と同じ構成である。信号値格納シフトレジスタ30. iのフリップフロップ31. 1~31. jの出力信号 $\phi i. 1 \sim \phi i. j$ は、それぞれセクタ15. j  $i/2 \sim 15. j (i+1)/2$ の一方入力ノードに入力される。

#### 【0027】

たとえば、シフトレジスタ活性化信号SE1~SEmのうちの信号SE1のみが活性化レベルの「H」レベルにされたとすると、クロック信号CLKはシフトレジスタ30. 1のフリップフロップ31. 1~31. jのクロック入力端子Cのみに入力され、他のシフトレジスタ30. 2~30. i+1のクロック入力端子Cは「L」レベルに固定される。シフトレジスタ値設定信号SVに含まれるj



ビットのデータは、クロック信号CLKの立上がりエッジに同期して、シフトレジスタ30. 1のフリップフロップ31. 1～31. jに順次取込まれる。フリップフロップ31. 1～31. jに取込まれたjビットのデータは、それぞれ信号 $\phi 1. 1 \sim \phi 1. j$ となる。

## 【0028】

設定信号指定シフトレジスタ30. 2は、フリップフロップ33. 1～33. j、ANDゲート34. 1～34. j、35. 1～35. jおよびインバータ36. 1～36. jを含む。初段のフリップフロップ33. 1には、jビットのデータを含むシフトレジスタ値設定信号SVが入力される。フリップフロップ33. 1～33. j-1の出力信号は、それぞれ後段のフリップフロップ33. 2～33. jに入力される。ANDゲート34. 1～34. jはともにクロック信号CLKおよびシフトレジスタ活性化信号SE2を受け、各々の出力信号はそれぞれフリップフロップ33. 1～33. jのクロック入力端子Cに入力される。

## 【0029】

インバータ36. 1～36. jは、シフトレジスタ活性化信号SE2を反転させてそれぞれANDゲート35. 1～35. jの一方入力ノードに与える。ANDゲート35. 1～35. jの他方入力ノードには、それぞれフリップフロップ33. 1～33. jの出力信号が入力される。ANDゲート35. 1～35. jの出力信号 $\phi 2. 1 \sim \phi 2. j$ は、それぞれセクタ15. 1～15. jの制御ノードに入力される。他の設定信号指定シフトレジスタ30. 4, ..., 30. i+1も設定信号指定シフトレジスタ30. 2と同様の構成である。設定信号指定シフトレジスタ30. i+1のANDゲート35. 1～35. jの出力信号 $\phi i+1. 1 \sim \phi i+1. j$ は、それぞれセクタ15. j i/2～15. j (i+1)/2の制御ノードに入力される。

## 【0030】

たとえば、シフトレジスタ活性化信号SE1～SEmのうちの信号SE2のみが活性化レベルの「H」レベルにされたとすると、クロック信号CLKはシフトレジスタ30. 2のフリップフロップ33. 1～33. jのクロック入力端子Cにのみ入力され、他のシフトレジスタ30. 1, 30. 3～30. mのフリップ

フリップフロップ 33. 1 ~ 33. j のクロック入力端子 C は「L」レベルに固定される。シフトレジスタ値設定信号 S V に含まれる j ビットのデータは、クロック信号 C L K の立上がりエッジに同期して、シフトレジスタ 30. 2 のフリップフロップ 33. 1 ~ 33. j に順次取込まれる。フリップフロップ 33. 1 ~ 33. j に取込まれた j ビットのデータは、信号 S E 2 が「H」レベルから「L」レベルに立下げられたことに応じて信号  $\phi 2. 1 \sim \phi 2. j$  となる。

#### 【0031】

図1に戻って、セクタ 15. 1, 15. 2, …の各々は、フリップフロップの出力端子 Q と回路ブロックの間に介挿される。図1では、セクタ 15. 1 の他方入力ノードはフリップフロップ 6 の出力信号を受け、セクタ 15. 1 の出力信号は回路ブロック 1 に入力される。セクタ 15. 1 は、信号  $\phi 2. 1$  が「L」レベルの場合はフリップフロップ 6 の出力信号を回路ブロック 1 に与え、信号  $\phi 2. 1$  が「H」レベルの場合は信号  $\phi 1. 1$  を回路ブロック 1 に与える。また、セクタ 15. 2 の他方入力ノードはフリップフロップ 10 の出力信号を受け、セクタ 15. 2 の出力信号は回路ブロック 2 に入力される。セクタ 15. 2 は、信号  $\phi 2. 2$  が「L」レベルの場合はフリップフロップ 10 の出力信号を回路ブロック 2 に与え、信号  $\phi 2. 2$  が「H」レベルの場合は信号  $\phi 1. 2$  を回路ブロック 2 に与える。他のセクタもセクタ 15. 1, 15. 2 と同様である。

#### 【0032】

この半導体集積回路装置は、さらに、信号観測用シフトレジスタ群 20、トライステートバス 21、トライステートバッファ 22. 1, 22. 2, …、バッファ 23 および外部出力ピン 24 を備える。

#### 【0033】

信号観測用シフトレジスタ群 20 は、図3に示すように、複数の信号観測用シフトレジスタ 30. i + 2 ~ 30. m を含む。シフトレジスタ 30. i + 2 は、フリップフロップ 37. 1 ~ 37. k (ただし、k は自然数である) および A N D ゲート 38. 1 ~ 38. k を含む。初段のフリップフロップ 37. 1 には、k ビットのデータを含むシフトレジスタ値設定信号 S V が入力される。フリップフ

ロップ 3 7. 1 ~ 3 7.  $k - 1$  の出力信号  $\phi i + 2. 1 \sim \phi i + 2. k - 1$  は、それぞれ後段のフリップフロップ 3 7. 2 ~ 3 7.  $k$  に入力される。AND ゲート 3 8. 1 ~ 3 8.  $k$  はともにクロック信号 CLK およびシフトレジスタ活性化信号 SE  $i + 2$  を受け、各々の出力信号はそれぞれフリップフロップ 3 7. 1 ~ 3 7.  $k$  のクロック入力端子 C に入力される。フリップフロップ 3 7. 1 ~ 3 7.  $k$  の出力信号  $\phi i + 2. 1 \sim \phi i + 2. k$  は、それぞれトライステートバッファ 2 2. 1 ~ 2 2.  $k$  の制御ノードに入力される。他の信号観測用シフトレジスタ 3 0.  $i + 3 \sim 3 0. m$  も信号観測用シフトレジスタ 3 0.  $i + 2$  と同様の構成である。信号観測用シフトレジスタ 3 0.  $m$  のフリップフロップ 3 7. 1 ~ 3 7.  $k$  の出力信号  $\phi m. 1 \sim \phi m. k$  は、それぞれトライステートバッファ 2 2.  $k (m - i - 2) + 1 \sim 2 2. k (m - i - 1)$  の制御ノードに入力される。

## 【0034】

たとえば、シフトレジスタ活性化信号 SE 1 ~ SE  $m$  のうちの信号 SE  $i + 2$  のみが活性化レベルの「H」レベルにされたとすると、クロック信号 CLK はシフトレジスタ 3 0.  $i + 2$  のフリップフロップ 3 7. 1 ~ 3 7.  $k$  のクロック入力端子 C にのみ入力され、他のシフトレジスタ 3 0. 1 ~ 3 0.  $i + 1$ , 3 0.  $i + 3 \sim 3 0. m$  のクロック入力端子 C は「L」レベルに固定される。シフトレジスタ値設定信号 SV に含まれる  $k$  ビットのデータは、クロック信号 CLK の立上がりエッジに同期して、シフトレジスタ 3 0.  $i + 2$  のフリップフロップ 3 7. 1 ~ 3 7.  $k$  に順次取込まれる。フリップフロップ 3 7. 1 ~ 3 7.  $k$  に取込まれた  $k$  ビットのデータは、信号  $\phi i + 2. 1 \sim \phi i + 2. k$  となる。

## 【0035】

図 1 に戻って、トライステートバッファ 2 2. 1 ~ 2 2. 2, ... は、トライステートバス 2 1 の延在方向に配列される。トライステートバッファ 2 2. 1, 2 2. 2, ... の入力ノードはそれぞれ半導体集積回路装置の内部信号を受け、各々の出力ノードはともにトライステートバス 2 1 に接続され、各々の制御ノードはそれぞれ信号  $\phi i + 2. 1 \sim \phi m. k$  を受ける。図 1 では、トライステートバッファ 2 2. 1 の入力ノードは回路ブロック 2 の出力信号を受け、トライステートバッファ 2 2. 2 の入力ノードはフリップフロップ 9 の出力信号を受ける。

## 【0036】

信号  $\phi i + 2.1$ ,  $\phi i + 2.2$  がともに「L」レベルの場合は、トライステートバッファ 22.1, 22.2 は非活性化され、トライステートバッファ 22.1, 22.2 の出力ノードはハイインピーダンス状態となる。信号  $\phi i + 2.1$  が「H」レベルの場合は、トライステートバッファ 22.1 が活性化され、トライステートバッファ 22.1 は回路ブロック 2 の出力信号のレベルをトライステートバス 21 に伝達させる。信号  $\phi i + 2.2$  が「H」レベルの場合は、トライステートバッファ 22.2 が活性化され、トライステートバッファ 22.2 はフリップフロップ 9 の出力信号のレベルをトライステートバス 21 に伝達させる。他のトライステートバッファ 22.3 ~ 22.m もトライステートバッファ 22.1, 22.2 と同様である。バッファ 23 は、トライステートバス 21 のレベルを外部出力ピン 24 に伝達させる。外部出力ピン 24 には、半導体集積回路装置の所望の内部信号のレベルが出力される。

## 【0037】

次に、図 1 ~ 図 3 で示した半導体集積回路装置のテスト方法について説明する。この半導体集積回路装置のテストを行なう場合は、まず信号値設定用シフトレジスタ群 14 および信号観測用シフトレジスタ群 20 に含まれるすべてのフリップフロップ 31.1 ~ 31.j, 33.1 ~ 33.j, 37.1 ~ 37.k のリセット端子（図示せず）にリセット信号を与えてリセットし、フリップフロップ 31.1 ~ 31.j, 33.1 ~ 33.j, 37.1 ~ 37.k の出力信号を「L」レベルにする。

## 【0038】

次に、シフトレジスタ設定パターン DI を外部入力ピン 11 に与えて、内部信号の信号値を設定するためのシフトレジスタ値設定信号 SV を所望の信号値格納シフトレジスタに格納する。すなわち、シフトレジスタ設定パターン DI は、図 4 に示すように、複数ビット（図では 5 ビット）のデータを有するヘッダパターンと、j ビット（図では 5 ビット）のデータを有するシフトレジスタ指定パターンと、k ビットのデータを有するシフトレジスタ値パターンとを含む。

## 【0039】

ヘッダパターンが予め定められたデータパターン（図では 0 1 1 1 0）である場合は、シフトレジスタ設定パターン D I はヘッダ検出回路 1 2 を通過してシフトレジスタ指定デコーダ回路 1 3 に伝達される。シフトレジスタ値設定信号 S V は、シフトレジスタ設定パターンと同じ信号となる。シフトレジスタ指定デコーダ回路 1 3 は、シフトレジスタ指定パターンをデコードして複数のシフトレジスタ活性化信号 S E 1 ～ S E m のうちのいずれかの信号（図では S E 1）を選択し、選択した信号 S E 1 をシフトレジスタ値パターンの入力期間だけ活性化レベルの「H」レベルにする。信号 S E 1 が「H」レベルにされると、信号 S E 1 に対応する信号値格納シフトレジスタ 3 0 . 1 が活性化され、シフトレジスタ値設定信号 S V に含まれる 6 ビットのデータがシフトレジスタ 3 0 . 1 のフリップフロップ 3 1 . 1 ～ 3 1 . 6 に取込まれる。フリップフロップ 3 1 . 1 ～ 3 1 . 6 の出力信号  $\phi$  5 . 1 ～  $\phi$  5 . 6 は、それぞれ対応のセクタ 1 5 . 1 , 1 5 . 2 , … の一方入力ノードに与えられる。信号  $\phi$  5 . 1 ～  $\phi$  5 . 6 のうちのたとえば信号  $\phi$  5 . 1 のみが「H」レベルにされる。シフトレジスタ値パターンの入力が終了すると信号 S E 1 が非活性化レベルの「L」レベルになり、シフトレジスタ 3 0 . 1 のフリップフロップ 3 1 . 1 ～ 3 1 . 6 の保持データの更新が停止される。

#### 【 0 0 4 0 】

次に、新たなシフトレジスタ設定パターン D I を外部入力ピン 1 1 に与えて、強制的に信号値を設定する内部信号を指定するためのシフトレジスタ値設定信号 S V を所望の設定信号指定シフトレジスタに格納する。シフトレジスタ値設定信号 S V の設定信号指定シフトレジスタへの格納は、シフトレジスタ値設定信号 S V の信号値格納シフトレジスタへの格納と同様に行なわれる。すなわち、シフトレジスタ指定デコーダ回路 1 3 は、ヘッダパターンに続いて入力されたシフトレジスタ指定パターンをデコードして複数のシフトレジスタ活性化信号 S E 1 ～ S E m のうちのいずれかの信号（たとえば S E 2）を選択し、選択した信号 S E 2 のシフトレジスタ値パターンの入力期間だけ活性化レベルの「H」レベルにする。信号 S E 2 が「H」レベルにされると、信号 S E 2 に対応する設定信号指定シフトレジスタ 3 0 . 2 が活性化され、シフトレジスタ値設定信号 S V に含まれる

6ビットのデータがシフトレジスタ30.2のフリップフロップ33.1~33.6に取込まれる。

#### 【0041】

シフトレジスタ値パターンの入力中は信号SE2が「H」レベルになっているので、ANDゲート35.1~35.6の出力信号 $\phi 2.1 \sim \phi 2.6$ はともに「L」レベルに固定されている。シフトレジスタ値パターンの入力終了して信号SE2が「L」レベルになると、フリップフロップ33.1~33.6の出力信号がANDゲート35.1~35.6を通過して信号 $\phi 2.1 \sim \phi 2.6$ となる。信号 $\phi 2.1 \sim \phi 2.6$ は、それぞれ対応のセクタ15.1, 15.2, …の制御ノードに与えられる。信号 $\phi 2.1 \sim \phi 2.6$ のうちのたとえば信号 $\phi 2.2$ のみが「H」レベルにされて、信号 $\phi 1.2$ がセクタ15.2を介して回路ブロック2に与えられる。シフトレジスタ値パターンの入力終了すると信号SE2が非活性化レベルの「L」レベルになり、シフトレジスタ30.2のフリップフロップ31.1~31.6の保持データの更新が停止される。このようにして、所望の回路ブロックの入力信号を所望の論理レベルに設定することができる。

#### 【0042】

次に、新たなシフトレジスタ設定パターンDIを外部入力ピン11に与えて、観測する内部信号を指定するためのシフトレジスタ値設定信号SVを信号観測用シフトレジスタに格納する。シフトレジスタ値設定信号SVの信号観測用シフトレジスタへの格納は、シフトレジスタ値設定信号SVの信号値格納シフトレジスタへの格納と同様に行なわれる。すなわち、シフトレジスタ指定デコーダ回路13は、ヘッダパターンに続いて入力されたシフトレジスタ指定パターンをデコードして複数のシフトレジスタ活性化信号SE1~SEmのうちのいずれかの信号（たとえばSE $i+2$ ）を選択し、選択した信号SE $i+2$ をシフトレジスタ値パターンの入力期間だけ活性化レベルの「H」レベルにする。信号SE $i+2$ が「H」レベルにされると、信号SE $i+2$ に対応する信号観測用シフトレジスタ30. $i+2$ が活性化され、シフトレジスタ値設定信号SVに含まれる6ビットのデータがシフトレジスタ30. $i+2$ のフリップフロップ37.1~37.6

に取込まれる。

【0043】

フリップフロップ37. 1～37. 6の出力信号 $\phi i + 2. 1 \sim \phi i + 2. 6$ は、それぞれ対応のトライステートバッファ22. 1～22. 6の制御ノードに与えられる。信号 $\phi i + 2. 1 \sim \phi i + 2. 6$ のうちのたとえば信号 $\phi i + 2. 2$ のみが「H」レベルにされる。信号 $\phi i + 2. 2$ が「H」レベルにされると、トライステートバッファ22. 2が活性化され、フリップフロップ9の出力信号のレベルがトライステートバッファ22. 2、トライステートバス21およびバッファ23を介して外部出力ピン24に出力される。シフトレジスタ値パターンが入力が終了すると信号SE  $i + 2$ が非活性化レベルの「L」レベルになり、シフトレジスタ30.  $i + 2$ のフリップフロップ37. 1～37. 6の保持データの更新が禁止される。新たなシフトレジスタ設定パターンDIを外部入力ピン11に与えることにより、観測する内部信号を変更することができる。

【0044】

この実施の形態では、トライステートバス21の延在方向に複数のトライステートバッファ22. 1, 22. 2, …を分散配置したので、内部信号を外部に取出すための配線が集中配線になることもなく、また大規模なセレクトも不要となる。したがって、テスト対象の内部信号の数が増大した場合でも、回路面積の増大を抑制することができる。

【0045】

また、複数のシフトレジスタ30.  $i + 2 \sim 30. m$ でトライステートバッファ22. 1, 22. 2, …の制御信号 $\phi i + 2. 1 \sim \phi m. k$ を生成するので、シフトレジスタ30.  $i + 2 \sim 30. m$ の長さを短くすることができ、シフトレジスタ30.  $i + 2 \sim 30. m$ への信号SVの書込を短時間で行なうことができる。

【0046】

また、複数の内部信号をそれぞれ信号 $\phi 1. 1 \sim \phi 1. j, \dots$ で置換するためのセクタ15. 1, 15. 2, …を設けたので、回路ブロック1, 2, …に所望の信号を与えて回路ブロック1, 2, …のテストを行なうことができる。

## 【0047】

また、複数のシフトレジスタ 30. 1, 30. 3, ..., 30. i で信号  $\phi 1$ , 1 ~  $\phi 1$ . j, ... を生成して複数のシフトレジスタ 30. 2, 30. 4, ..., 30. i + 1 でセクタ 15. 1, 15. 2, ... の制御信号  $\phi 2$ . 1 ~  $\phi 2$ . j, ... を生成するので、シフトレジスタ 30. 1 ~ 30. i + 1 の長さを短くすることができ、シフトレジスタ 30. 1 ~ 30. i + 1 への信号 SV の書込を短時間で行なうことができる。

## 【0048】

以下、この実施の形態の変更例について説明する。図 1 ~ 図 4 で示した半導体集積回路装置では、シフトレジスタ活性化信号 SE 1 ~ SE m のうちのいずれか 1 つの信号のみを活性化レベルの「H」レベルにする場合について説明したが、信号 SE 1 ~ SE m のうちの複数の信号を活性化レベルの「H」レベルにしてもよい。たとえば図 5 に示すように、シフトレジスタ指定パターンに含まれる 5 ビットのデータを 1 1 1 1 1 としたときは、信号 SE 1 ~ SE i + 1 をともに活性化レベルの「H」レベルにしてすべての信号値格納シフトレジスタ 30. 1, 30. 3, ..., 30. i および設定信号指定シフトレジスタ 30. 2, 30. 4, ..., 30. i + 1 に同じシフトレジスタ値パターン（図では 0 0 0 0 1 0）を書込めるようにしてもよい。

## 【0049】

また、シフトレジスタ指定パターンに含まれる 5 ビットのデータを 1 1 1 1 0 としたときは、信号 SE 1, SE 3, ..., SE i をともに活性化レベルの「H」レベルにしてすべての信号値格納シフトレジスタ 30. 1, 30. 3, ..., 30. i に同じシフトレジスタ値パターンを書込めるようにしてもよい。

## 【0050】

また、シフトレジスタ指定パターンに含まれる 5 ビットのデータを 1 1 1 0 1 としたときは、信号 SE 2, SE 4, ..., SE i + 1 をともに活性化レベルの「H」レベルにしてすべての設定信号指定シフトレジスタ 30. 2, 30. 4, ..., 30. i + 1 に同じシフトレジスタ値パターンを書込めるようにしてもよい。この変更例では、複数のシフトレジスタにシフトレジスタ値パターンを同時に書



込めるので、シフトレジスタ値パターンの書込が迅速に行なうことができる。

#### 【0051】

また、図1～図4に示した半導体集積回路装置では、クロック信号CLKの立上がりエッジのみに同期してシフトレジスタ値設定信号SVをシフトレジスタ30.1～30.mに取込んだが、クロック信号CLKの立上がりエッジおよび立下がりエッジの両方に同期してシフトレジスタ値設定信号SVをシフトレジスタに取込んでもよい。すなわち図6に変更例では、信号値格納シフトレジスタ40.1は、ポジティブエッジトリガ型のフリップフロップ41.1, 41.3, …, 41.j-1と、ネガティブエッジトリガ型のフリップフロップ42.2, 42.4, …, 42.jと、ANDゲート43.1～43.jとを含む。

#### 【0052】

ANDゲート43.1, 43.3, …, 43.j-1はクロック信号CLKおよび信号SE1を受け、各々の出力信号はそれぞれフリップフロップ41.1, 41.3, …, 41.j-1のクロック入力端子Cに入力される。ANDゲート43.2, 43.4, …, 43.jはクロック信号CLKおよび信号SE1を受け、各々の出力信号がそれぞれフリップフロップ42.2, 42.4, …, 42.jのクロック入力端子Cに入力される。信号SVは、フリップフロップ41.1, 42.2に入力される。フリップフロップ41.1, 41.3, …, 41.j-1は直列接続され、各々の出力信号はそれぞれ信号 $\phi 1.1$ ,  $\phi 1.3$ , …,  $\phi 1.j-1$ となる。フリップフロップ42.2, 42.4, …, 42.jは直列接続され、各々の出力信号はそれぞれ信号 $\phi 1.2$ ,  $\phi 1.4$ , …,  $\phi 1.j$ となる。

#### 【0053】

信号SE1が活性化レベルの「H」レベルになると、クロック信号CLKがANDゲート43.1, 43.3, …, 43.j-1を介してフリップフロップ41.1, 41.3, …, 41.j-1のクロック入力端子Cに入力されるとともにANDゲート43.2, 43.4, …, 43.jを介してフリップフロップ41.2, 41.4, …, 41.jのクロック入力端子Cに入力される。フリップフロップ41.1, 41.3, …, 41.j-1の各々は、クロック信号CLK

の立上がりエッジに応答して入力信号を取込む。フリップフロップ 4 2. 2, 4 2. 3, ..., 4 2. j の各々は、クロック信号 CLK の立下がりエッジに응答して入力信号を取込む。他の信号値格納シフトレジスタ、設定信号指定シフトレジスタおよび信号観測用シフトレジスタも、シフトレジスタ 4 0. 1 と同様に構成される。したがって、この変更例では、図 1 ~ 図 4 で示した半導体集積回路装置の 2 倍の速度でシフトレジスタ値設定信号 SV をシフトレジスタに取込むことができる。ただし、シフトレジスタ設定パターンの周波数を 2 倍にする必要がある。

## 【 0 0 5 4 】

また、図 1 ~ 図 4 の半導体集積回路装置では、トライステートバス 2 1、バッファ 2 3 および外部出力ピン 2 4 を 1 組だけ設けたが、それらを複数組設けてもよい。すなわち図 7 の変更例では、信号観測用シフトレジスタ 3 0.  $i + 2 \sim 3 0. m$  に対応してそれぞれトライステートバス 2 1. 1 ~ 2 1.  $m - i - 1$ 、バッファ 2 3. 1 ~ 2 3.  $m - i - 1$  および外部出力ピン 2 4. 1 ~ 2 4.  $m - i - 1$  が設けられる。シフトレジスタ 3 0.  $i + 2$  に対応するトライステートバッファ 2 2. 1 ~ 2 2. k の出力ノードは、ともにトライステートバス 2 1. 1 に接続される。シフトレジスタ 3 0. m に対応するトライステートバッファ 2 2.  $k (m - i - 2) + 1 \sim 2 2. k (m - i - 1)$  の出力ノードは、ともにトライステートバス 2 1.  $m - i - 1$  に接続される。この変更例では、複数の外部出力ピン 2 4. 1 ~ 2 4.  $m - i - 1$  を設けたので、図 5 で説明した方法を用いて信号  $SE\ i + 2 \sim SE\ m$  を同時に「H」レベルにすることにより、複数ビットの内部信号を同時に観測することができ、半導体集積回路装置のテストを短時間でこなうことができる。

## 【 0 0 5 5 】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

## 【 0 0 5 6 】

## 【発明の効果】

以上のように、この発明に係る半導体装置では、テストモード時に外部からテスト信号を入力するための外部入力端子と、外部入力端子を介して入力されたテスト信号に従って半導体装置の複数の内部信号のうちのいずれかの内部信号を選択する選択回路と、それぞれ複数の内部信号に対応して設けられ、各々が、対応の内部信号をその入力ノードに受け、選択回路によって対応の内部信号が選択されたことに応じて対応の内部信号を出力ノードを与える複数のゲート回路と、複数のゲート回路の出力ノードに接続された信号伝達線と、信号伝達線に与えられた内部信号を外部に出力するための外部出力端子とが設けられる。したがって、テスト対象の内部信号の数が増大した場合でも、複数のゲート回路を信号伝達線の延在方向に分散配置すれば内部信号用の配線が集中配線になることもなく、また大型のセレクタも不要なので、回路面積の増大を抑制することができる。

## 【0057】

好ましくは、各ゲート回路は、選択回路によって対応の内部信号が選択されている場合は出力ノードを対応の内部信号の論理レベルと同じ論理レベルにし、対応の内部信号が選択されていない場合は出力ノードをハイインピーダンス状態にするトライステートバッファを含む。この場合は、ゲート回路を容易に構成できる。

## 【0058】

また好ましくは、複数のゲート回路は予め複数のグループに分割され、選択回路は、テスト信号に含まれるグループ指定信号に従って複数のグループのうちのいずれかのグループを指定する指定回路と、各グループに対応して設けられ、指定回路によって対応のグループが指定されたことに応じてテスト信号に含まれる複数ビットのデータ信号を取込み、取込んだ複数ビットのデータ信号をそれぞれ対応のグループに属する複数のゲート回路の制御ノードに与えるシフトレジスタを含み、各ゲート回路は、その制御ノードに与えられたデータ信号が活性化レベルの場合に対応の内部信号を出力ノードに与える。この場合は、シフトレジスタの長さを短くすることができ、シフトレジスタへのデータ信号の書込を迅速に行なうことができる。

## 【0059】

また好ましくは、信号伝達線および外部出力端子はゲート回路のグループ数と同じ数だけ設けられ、複数の信号伝達線はそれぞれ複数のグループに対応して設けられて各信号伝達線は対応のグループに属する各ゲート回路の出力ノードに接続され、複数の外部出力端子はそれぞれ複数の信号伝達線に対応して設けられて各外部出力端子は対応の信号伝達線に与えられた内部信号を外部に出力するために設けられ、指定回路はグループ指定信号に従って複数のグループのうちのいずれか1または2以上のグループを指定する。この場合は、複数の内部信号を同時に取出すことができ、テスト時間の短縮化を図ることができる。

## 【0060】

また、この発明に係る他の半導体装置では、テストモード時に外部からテスト信号を入力するための外部入力端子と、外部入力端子を介して入力されたテスト信号に従って半導体装置の複数の第1内部信号のうちのいずれか1または2以上の第1内部信号を選択する第1選択回路と、テスト信号に従ってそれぞれ複数の第1内部信号に対応する複数の第1データ信号を生成する信号発生回路と、それぞれ複数の第1内部信号に対応して設けられ、各々が、対応の第1内部信号をその第1入力ノードに受けるとともに対応の第1データ信号をその第2入力ノードに受け、第1選択回路によって対応の第1内部信号が選択されている場合は対応の第1データ信号を出力ノードに与え、対応の第1内部信号が選択されていない場合は対応の第1内部信号を出力ノードに与える複数の第1ゲート回路と、複数の第1ゲート回路の出力信号に基づいて所定の動作を行なう内部回路とが設けられる。したがって、第1内部信号を第1データ信号で置換することにより、内部回路に所望の論理レベルの第1データ信号を与えて内部回路をテストすることができる。

## 【0061】

好ましくは、複数の第1ゲート回路は予め複数の第1グループに分割され、第1選択回路は、テスト信号に含まれる第1グループ指定信号に従って複数の第1グループのうちのいずれか1または2以上の第1グループを指定する第1指定回路と、各第1グループに対応して設けられ、対応の第1グループが第1指定回路

によって指定されたことに応じてテスト信号に含まれる複数ビットの第2データ信号を取込み、取込んだ複数ビットの第2データをそれぞれ対応の第1グループに属する複数の第1ゲート回路の制御ノードに与える第1シフトレジスタを含み、信号発生回路は、各第1グループに対応して設けられ、対応の第1グループが第1指定回路によって指定されたことに応じてテスト信号に含まれる複数ビットの第1データ信号を取込み、取込んだ複数ビットの第1データ信号をそれぞれ対応の第1グループに属する複数の第1ゲート回路の第2入力ノードに与える第2シフトレジスタを含み、各第1ゲート回路は、その制御ノードに与えられた第2データ信号が第1論理レベルを有する場合は第1データ信号を出力ノードに与え、第2データ信号が第2論理レベルを有する場合は対応の内部信号を出力ノードに与える。この場合は、シフトレジスタの長さを短くすることができ、シフトレジスタへのデータ信号の書込を迅速に行なうことができる。

## 【0062】

また好ましくは、さらに、テスト信号に従って内部回路で生成された複数の第2内部信号のうちのいずれかの第2内部信号を選択する第2選択回路と、それぞれ複数の第2内部信号に対応して設けられ、各々が、対応の第2内部信号をその入力ノードに受け、第2選択回路によって対応の第2内部信号が選択されたことに応じて対応の第2内部信号を出力ノードに与える複数の第2ゲート回路と、複数の第2ゲート回路の出力ノードに接続された信号伝達線と、信号伝達線に与えられた第2内部信号を外部に出力するための外部出力端子とが設けられる。この場合は、テスト対象の第2内部信号の数が増大した場合でも、複数の第2ゲート回路を信号伝達線の延在方向に分散配置すれば内部信号用の配線が集中配線になることもなく、また大型のセレクタも必要ないので、回路面積の増大を抑制することができる。

## 【0063】

また好ましくは、各第2ゲート回路は、第2選択回路によって対応の第2内部信号が選択されている場合は出力ノードを対応の第2内部信号の論理レベルと同じ論理レベルにし、対応の第2内部信号が選択されていない場合は出力ノードをハイインピーダンス状態にするトライステートバッファを含む。この場合は、第

2 ゲート回路を容易に構成できる。

【0064】

また好ましくは、複数の第2ゲート回路は予め複数の第2グループに分割され、第2選択回路は、テスト信号に含まれる第2グループ指定信号に従って複数の第2グループのうちのいずれかの第2グループを指定する第2指定回路と、各第2グループに対応して設けられ、第2指定回路によって対応の第2グループが指定されたことに応じてテスト信号に含まれる複数ビットの第3データ信号を取込み、取込んだ複数ビットの第3データ信号をそれぞれ対応の第2グループに属する複数の第2ゲート回路の制御ノードに与える第3シフトレジスタを含み、各第3ゲート回路は、その制御ノードに与えられたデータ信号が活性化レベルの場合に対応の第2内部信号を出力ノードに与える。この場合は、シフトレジスタの長さを短くすることができ、シフトレジスタへのデータ信号の書込を迅速に行なうことができる。

【0065】

また好ましくは、信号伝達線および外部出力端子は第2ゲート回路のグループ数と同じ数だけ設けられ、複数の信号伝達線はそれぞれ複数の第2グループに対応して設けられ、各信号伝達線は複数の第2グループに属する各第2グループの出力ノードに接続され、複数の外部出力端子はそれぞれ複数の信号伝達線に対応して設けられて各外部出力端子は対応の信号伝達線に与えられた第2内部信号を外部に出力するために設けられ、第2指定回路は、第2グループ指定信号に従って複数の第2グループのうちのいずれか1または2以上の第2グループを指定する。この場合は、複数の第2内部信号を同時に取出すことができ、テスト時間の短縮化を図ることができる。

【図面の簡単な説明】

【図1】 この発明の一実施の形態による半導体集積回路装置の要部を示す回路ブロック図である。

【図2】 図1に示した信号値設定用シフトレジスタ群の構成を示す回路図である。

【図3】 図1に示した信号観測用シフトレジスタ群の構成を示す回路図で

ある。

【図 4】 図 1 ～ 図 3 に示した半導体集積回路装置のテスト方法を示すタイムチャートである。

【図 5】 この発明の実施の形態の変更例を示すタイムチャートである。

【図 6】 この発明の実施の形態の他の変更例を示す回路図である。

【図 7】 この発明の実施の形態のさらに他の変更例を示す回路ブロック図である。

【図 8】 従来の半導体集積回路装置の要部を示す回路ブロック図である。

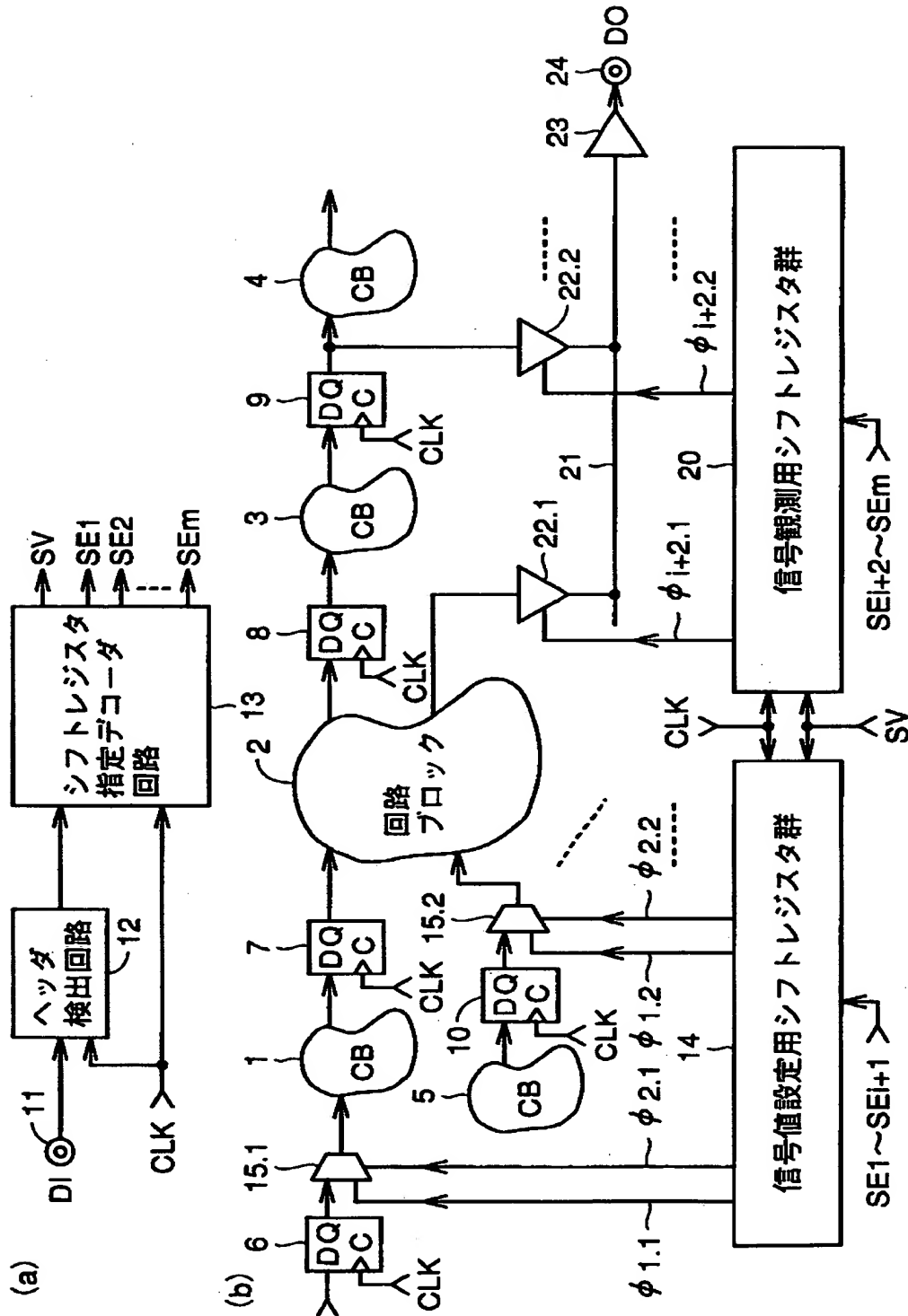
【符号の説明】

1 ～ 5, 5 1 ～ 5 3 回路ブロック、6 ～ 1 0, 3 1, 3 3, 3 7, 4 1, 4 2, 5 4 ～ 5 6 フリップフロップ、1 1, 6 1 外部入力ピン、1 2 ヘッダ検出回路、1 3 シフトレジスタ指定デコーダ回路、1 4 信号値設定用シフトレジスタ群、1 5, 6 3 セレクタ、2 0 信号観測用シフトレジスタ群、2 2 トライステートバッファ、2 3, 6 4 バッファ、2 4, 6 5 外部出力ピン、3 0, 4 0, 6 2 シフトレジスタ、3 2, 3 4, 3 8, 4 3 ANDゲート、3 6 インバータ。

【書類名】

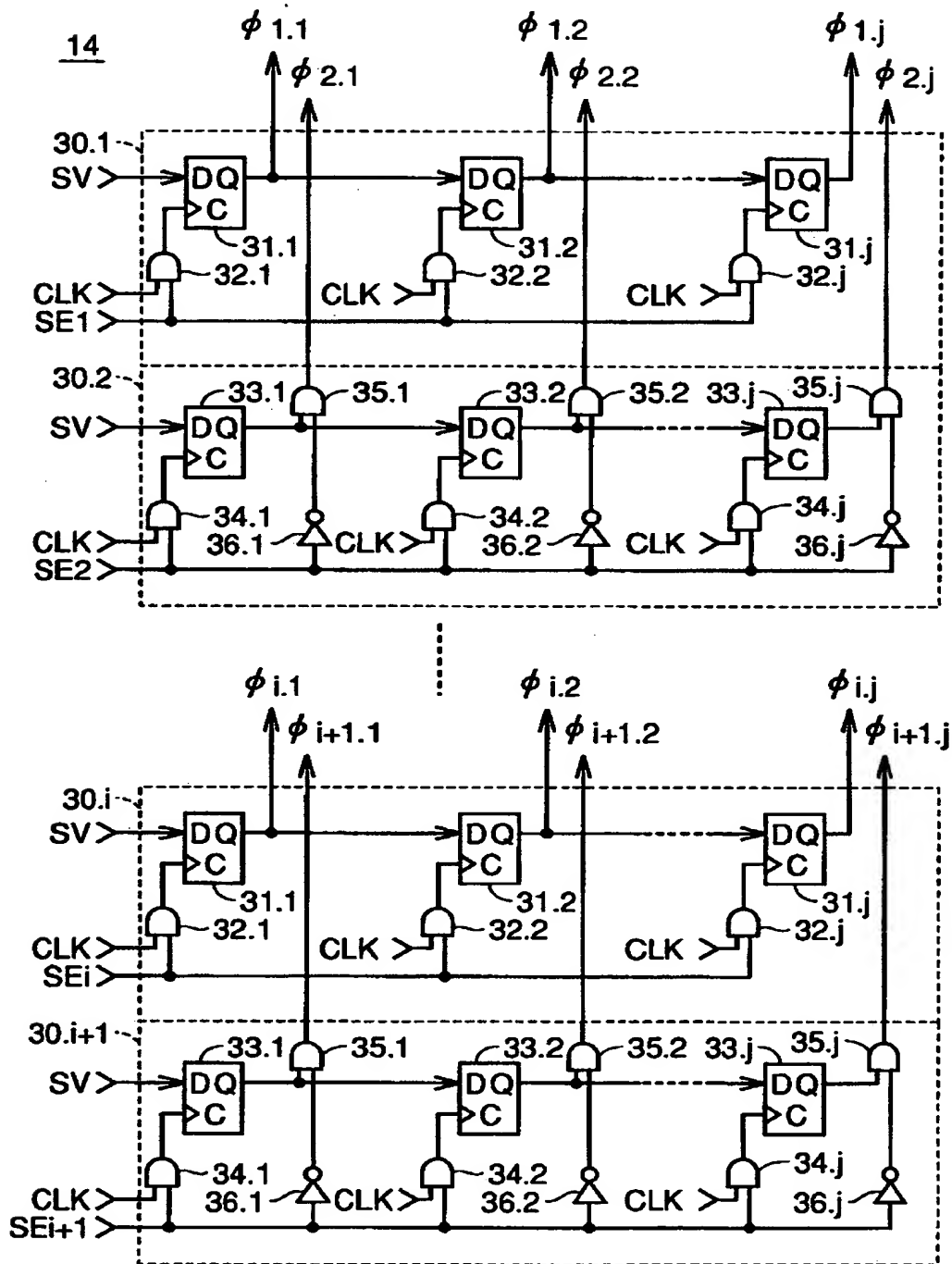
図面

【図 1】



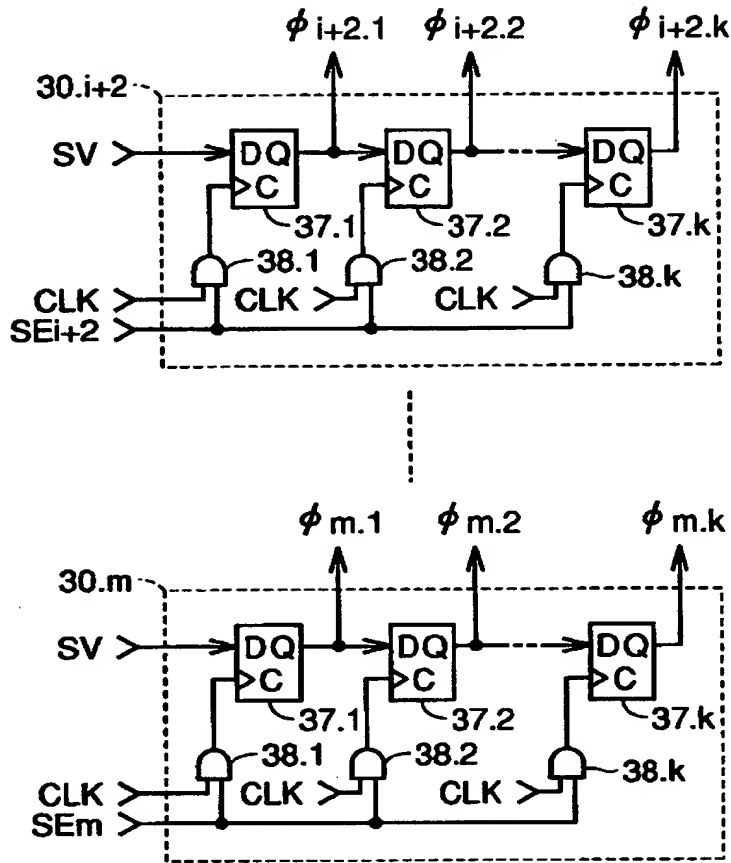


【図 2】

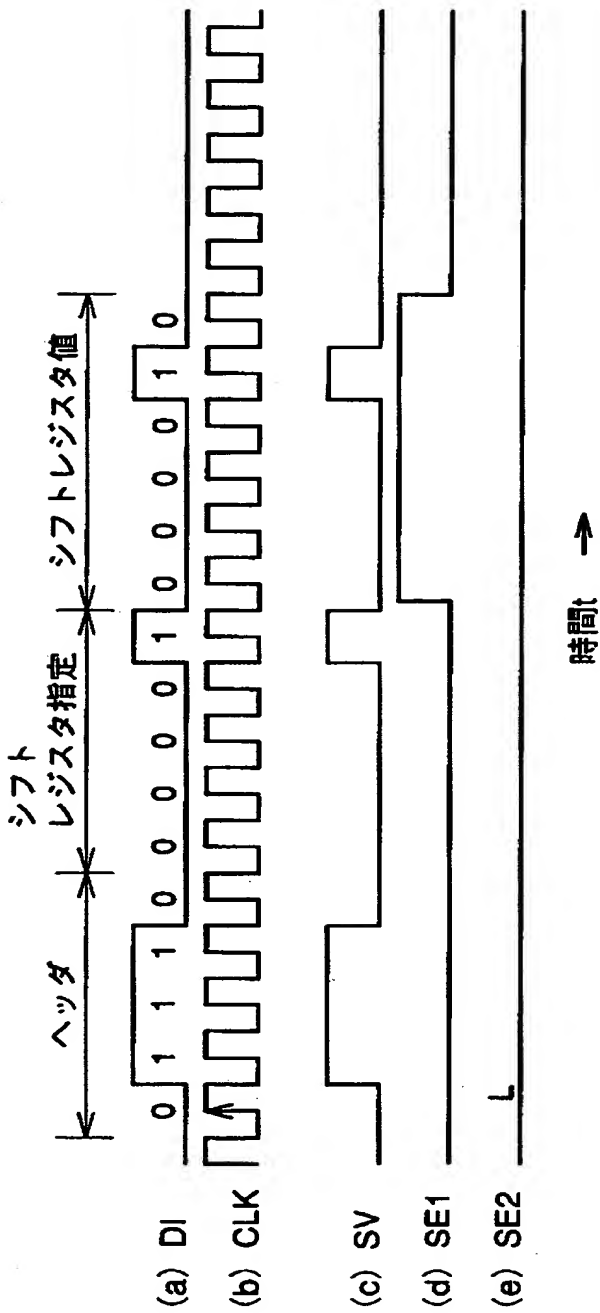


【図 3】

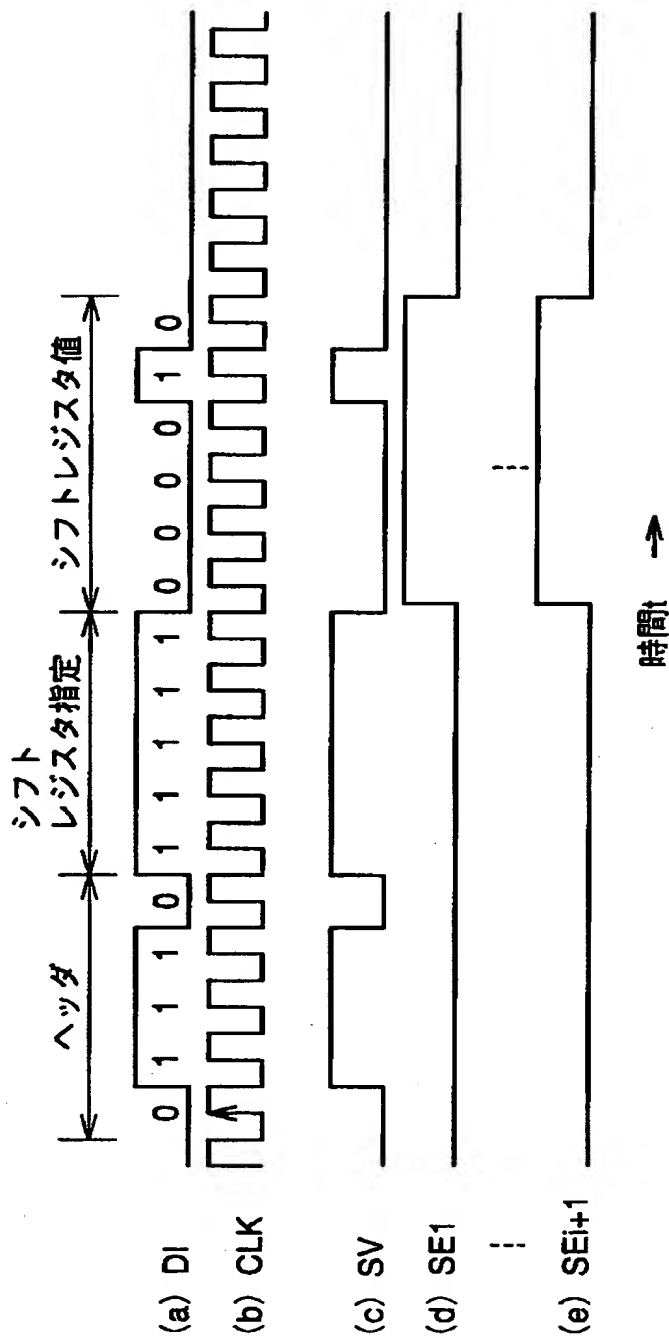
20



【図 4】

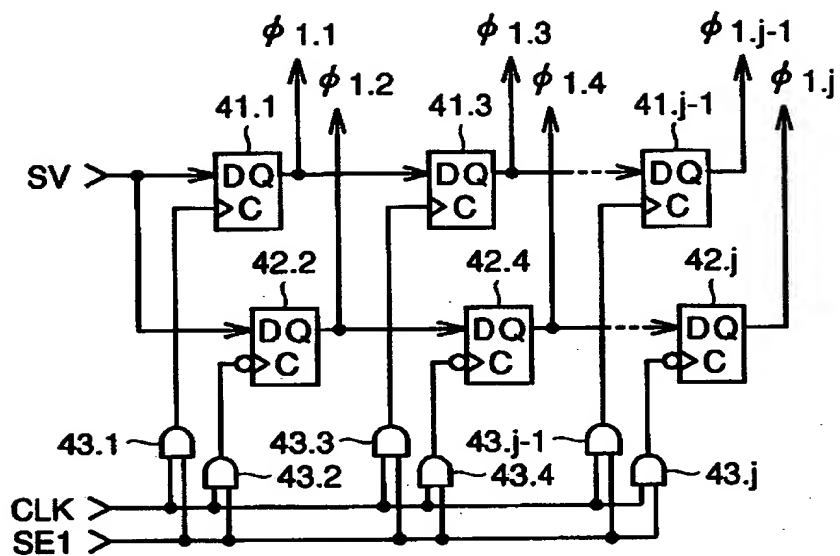


【図 5】

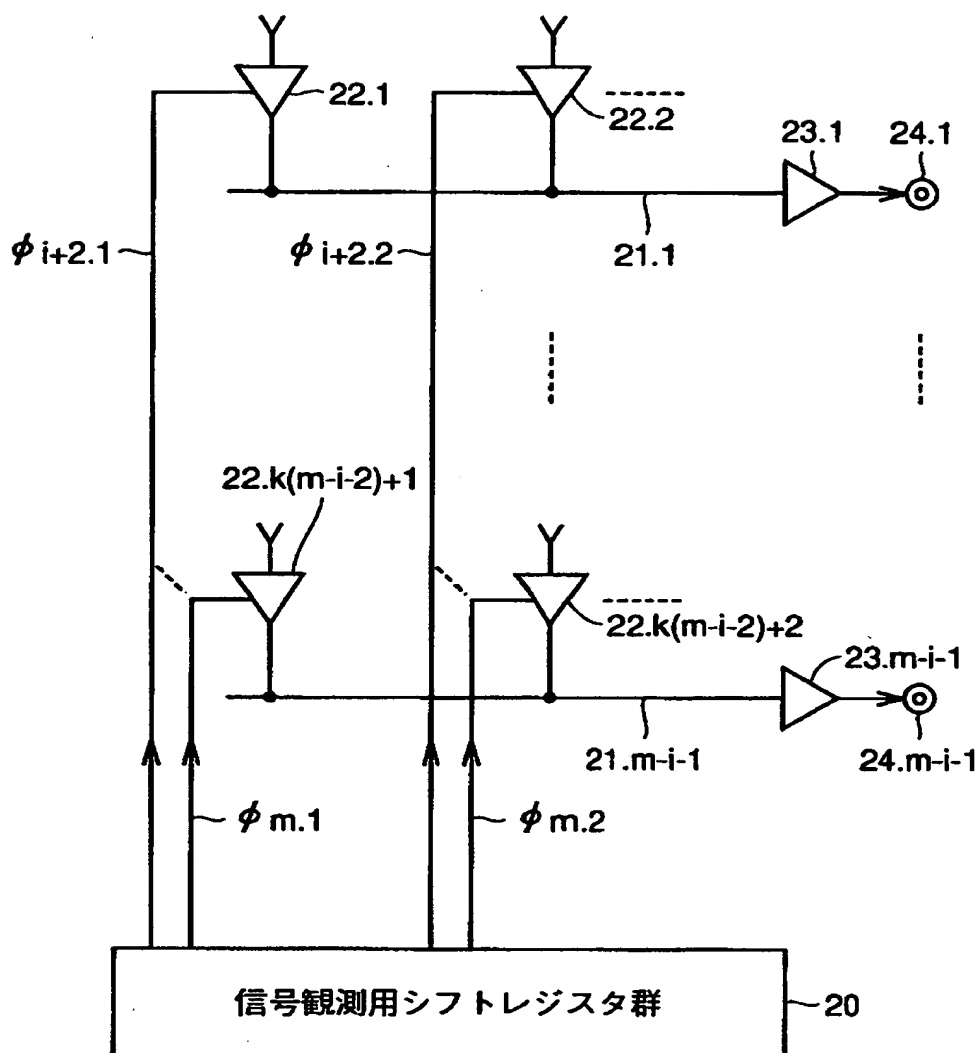


【図 6】

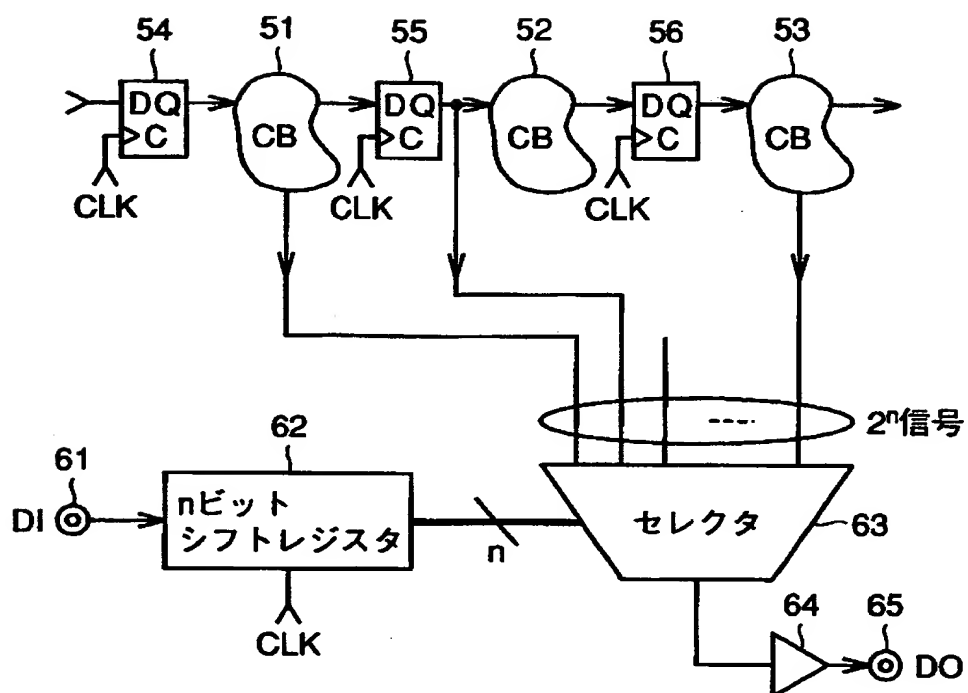
40.1



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 回路面積が小さな半導体装置を提供する。

【解決手段】 半導体集積回路装置において、それぞれが複数の内部信号に対応して設けられ、各々の入力ノードが対応の内部信号を受ける複数のトライステートバッファ 22. 1, 22. 2, ... をトライステートバス 21 の延在方向に分散配置し、複数のトライステートバッファ 22. 1, 22. 2, ... のうちのいずれかを選択的に活性化させて所望の内部信号を外部に取出す。したがって、内部信号を取出すための配線が集中配線にならないので、回路面積が小さくてすむ。

【選択図】 図 1



出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	東京都千代田区丸の内2丁目2番3号
氏 名	三菱電機株式会社